

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 2 4 日
Date of Application:

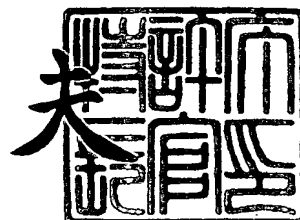
出 願 番 号 特 願 2 0 0 3 - 4 2 6 2 0 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 2 6 2 0 4]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 4 年 3 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 2 1 6 5 2

【書類名】 特許願
【整理番号】 0340813
【提出日】 平成15年12月24日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 23/12
 H01L 21/60
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 小林 一彦
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 近藤 史隆
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100094525
 【弁理士】
 【氏名又は名称】 土井 健二
【選任した代理人】
 【識別番号】 100094514
 【弁理士】
 【氏名又は名称】 林 恒徳
【手数料の表示】
 【予納台帳番号】 041380
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9704944

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、

前記半導体基板表面に形成され、回路素子と多層配線層とにより構成される高周波回路層と、

前記高周波回路層上に形成され、前記高周波回路の入力、出力、電源にそれぞれ接続された複数の導電性パッドと、

前記高周波回路層上に第 1 の絶縁層を介して形成され、前記複数の導電性パッドにそれぞれ接続される複数の再配線層と、

前記第 1 の絶縁層上及び前記再配線層上に形成され、前記多層配線層よりも厚い封止用絶縁層と、

前記封止用絶縁層上に設けられ、前記複数の導電性パッドに対応する複数の実装用接続端子と、

前記封止用絶縁層内に設けられ、前記再配線層と実装用接続端子との間に設けられる複数の導電性ポストとを有し、

前記高周波回路層の高周波回路は、前記入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、

さらに、

前記電源に対応する第 1 の導電性ポストは第 1 の径を有し、

前記入力アンプの入力に対応する第 2 の導電性ポストは前記第 1 の径より小さい第 2 の径を有し、

前記パワー出力アンプの出力に対応する第 3 の導電性ポストは前記第 2 の径より大きい第 3 の径を有することを特徴とする高周波デバイス。

【請求項 2】

請求項 1 において、

前記高周波回路層上であって、前記第 2 または第 3 の導電性ポストの下に設けられ、固定電位に接続された第 1 のシールド層を有することを特徴とする高周波デバイス。

【請求項 3】

請求項 2 において、

さらに、前記多層配線層内であって、前記第 2 または第 3 の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第 2 のシールド層を有することを特徴とする高周波デバイス。

【請求項 4】

請求項 1 において、

前記第 2 または第 3 の導電ポストとそれに対応する導電性パッドとが近接または重複して形成され、

前記多層配線層内であって、前記第 2 または第 3 の導電性ポスト及びそれに接続される導電性パッドの下に設けられ、固定電位に接続された第 3 のシールド層を有することを特徴とする高周波デバイス。

【請求項 5】

請求項 1 において、

同じ電源に対応する前記第 1 の導電性ポストは複数個高密度に配置され、前記第 2 または第 3 の導電性ポストは、前記第 1 の導電性ポストよりも低密度に配置されることを特徴とする高周波デバイス。

【請求項 6】

請求項 1 に記載された高周波デバイスであって、さらに、

前記多層配線層内であって、前記第 2 または第 3 の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第 2 のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するイン

ダクタとを有し、

前記インダクタと、前記導電性パッドと第2のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【請求項7】

請求項1に記載された高周波デバイスであって、さらに、

前記高周波回路層上であって、前記第2または第3の導電性ポストの下に設けられ、固定電位に接続された第1のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性ポスト及び第1のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【請求項8】

請求項1に記載された高周波デバイスであって、さらに、

前記多層配線層内であって、前記第2または第3の導電性ポスト及びそれに接続される導電性パッドの下に設けられ、固定電位に接続された第3のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性パッドと第3のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【請求項9】

半導体基板と、

前記半導体基板表面に形成され、回路素子と多層配線層とにより構成される高周波回路層と、

前記高周波回路層上に形成され、前記高周波回路の入力、出力、電源にそれぞれ接続された複数の導電性パッドと、

前記高周波回路層上に第1の絶縁層を介して形成され、前記複数の導電性パッドにそれぞれ接続される複数の再配線層と、

前記第1の絶縁層及び再配線層上に形成され、前記多層配線層よりも厚い封止用絶縁層と、

前記封止用絶縁層上に設けられ、前記複数の導電性パッドに対応する複数の実装用接続端子と、

前記封止用絶縁層内に設けられ、前記再配線層と実装用接続端子との間に設けられる複数の導電性ポストとを有する第1及び第2の高周波デバイスを有し、

前記第1の高周波デバイスは、第1の高周波帯の信号を処理する第1の高周波回路を有し、前記第2の高周波デバイスは、前記第1の高周波帯より高い第2の高周波帯の信号を処理する第2の高周波回路を有し、

前記第1の高周波デバイスの導電性ポストの高さより、第2の高周波デバイスの導電性ポストの高さが高いことを特徴とする高周波デバイスモジュール。

【請求項10】

請求項9において、

前記第1及び第2の高周波回路は、前記入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、変調された高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、

前記電源に対応する第1の導電性ポストは第1の径を有し、

前記入力アンプの入力に対応する第2の導電性ポストは前記第1の径より小さい第2の径を有し、

前記パワー出力アンプの出力に対応する第3の導電性ポストは前記第2の径より大きい

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

第 3 の径を有することを特徴とする高周波デバイスモジュール。

【書類名】明細書

【発明の名称】高周波デバイス

【技術分野】

【0001】

本発明は、半導体チップに高周波回路を集積した高周波デバイスに関し、特に、チップサイズパッケージによりコンパクト化し且つ高周波特性を改善した高周波デバイスに関する。

【背景技術】

【0002】

移動体通信機器の普及に伴い、それに搭載されるデバイスには、低価格化、コンパクト化、高機能化が求められている。低価格化にこたえるものとしてシリコン基板を利用した高周波デバイスがある。従来型のガリウム・ヒ素基板ではなく、より廉価なシリコン基板上に高周波回路を形成することが提案されている。更に、コンパクト化にこたえるものとしてチップサイズパッケージ (CSP: Chip Sized Package又は、Chip Scale Package) がある。チップサイズパッケージは、半導体チップ基板上にポリイミドなどの樹脂からなる封止絶縁層をモールド成形法により形成して、半導体チップを封止したパッケージ構造であり、パッケージサイズがチップサイズと同じであり高密度実装を可能にする。高機能化は、同一の半導体チップ内に受信回路や送信回路を形成するものであり、1チップ内で高周波信号の送信と受信及び変調と復調、ベースバンドの信号処理などを可能にする。したがって、1チップの入出力端子には、種々の高周波信号が通過し、入出力端子での高周波特性を考慮することが必要である。

【0003】

半導体デバイスのコンパクト化方法として、フリップチップボンディング (FCB) 法が提案されている。フリップチップボンディング法は、半導体チップの表面に入出力端子として複数の半田ボールを設け、パッケージ基板に半田ボールを介して半導体チップをボンディングする技術であり、ワイヤーボンディングを使用せずに多数の入出力端子をパッケージ基板の端子に接続することができ、それに伴いパッケージサイズを小さくすることができる。

【0004】

このようなフリップチップボンディング法を利用した半導体デバイスにおいて、入出力端子の高周波特性を向上させるための種々の方法が提案されている。例えば、特許文献1、2、3などである。特許文献1には、半田バンプが形成されるパッドのうち、高周波信号の入出力に用いられる高周波入出力パッドの面積を小さくし、高周波信号の入出力に用いられないその他のパッドの面積を大きくすることが記載されている。この構造では、高周波入出力パッドの面積を小さくすることで、半導体基板との寄生インピーダンスを小さくし、信号損失を小さくすることができる。

【0005】

特許文献2には、GaAs半導体基板上に導電性ピラーと呼ばれる導電性の接続端子を形成するに際して、メッキプロセスにおける開口径と接続端子の高さとの間の相関関係を利用し、開口径を小さくして短い接続端子を形成し、開口径を大きくして長い接続端子を形成し、両接続端子の高さをそろえることが記載されている。その結果、低抵抗で短い接続端子を形成可能にし、高周波用半導体チップの接続端子としてインダクタやキャパシタンスを低減することができる。

【0006】

特許文献3には、ボールグリッドアレイによるフリップチップボンディングされる半導体装置において、高周波信号が伝搬する金属配線の特性インピーダンスを一定にするために、金属配線の上下に基準電位に接続されるシールド配線を形成して、ストリップライン構造を形成することが記載されている。

【0007】

上記の特許文献1～3は、いずれもチップをパッケージ内にボンディングするフリップ

チップボンディングによるものであり、パッケージサイズはチップサイズに比較して大きくなる。したがって、コンパクト化の観点から、チップサイズパッケージとは異なる構成である。

【0008】

チップサイズパッケージの例が特許文献4に記載されている。この例は、半導体基板上にポリイミドからなる封止樹脂層を形成し、封止樹脂層内に入出力端子用のポストを形成したものであり、半導体基板と封止樹脂層との境界面にインダクタ素子を形成して、入出力端子のインピーダンス整合回路を形成するものである。半導体チップ表面に封止樹脂層を形成してパッケージ状態にしているので、フリップチップタイプのパッケージよりも小型化することができ、携帯通信機器に搭載されるコンパクトな半導体デバイスとして有効である。

【特許文献1】特開平9-306917号公報

【特許文献2】特開平10-64953号公報

【特許文献3】特開2002-313930号公報

【特許文献4】特開2003-243570号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

このように、チップサイズパッケージは、フリップチップパッケージと比較するとコンパクト化の観点から有利であるが、その反面、封止作用を有する封止用絶縁層または樹脂層は、チップ表面の多層配線層に比較すると非常に厚く、そこに形成される導電性ポストの高さはかなり長くなり、高周波信号に対する特性の劣化が深刻である。高周波信号のなかでも、低パワーの高周波信号に対しては、その損失特性の劣化を回避できる構成が必要であり、高パワーの高周波信号に対しては、損失特性に加えて十分な電流供給能力を有する構成が必要である。また、実装基板上の高周波回路と半導体チップ内の高周波回路との間のカップリングは、より高い周波数帯になるほど抑制することが要求される。

【0010】

そこで、本発明の目的は、チップサイズパッケージによりコンパクト化し且つ高周波特性を改善した高周波デバイスを提供することにある。

【課題を解決するための手段】

【0011】

上記の目的を達成するために、本発明の第1の側面は、
半導体基板と、

前記半導体基板表面に形成され、回路素子と多層配線層とにより構成される高周波回路層と、

前記高周波回路層上に形成され、前記高周波回路の入力、出力、電源にそれぞれ接続された複数の導電性パッドと、

前記高周波回路層上に第1の絶縁層を介して形成され、前記複数の導電性パッドにそれぞれ接続される複数の再配線層と、

前記第1の絶縁層上及び前記再配線層上に形成され、前記多層配線層よりも厚い封止用絶縁層と、

前記封止用絶縁層上に設けられ、前記複数の導電性パッドに対応する複数の実装用接続端子と、

前記封止用絶縁層内に設けられ、前記再配線層と実装用接続端子との間に設けられる複数の導電性ポストとを有し、

前記高周波回路層の高周波回路は、前記入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、

さらに、

前記電源に対応する第1の導電性ポストは第1の径を有し、

前記入力アンプの入力に対応する第2の導電性ポストは前記第1の径より小さい第2の径を有し、

前記パワー出力アンプの出力に対応する第3の導電性ポストは前記第2の径より大きい第3の径を有することを特徴とする高周波デバイスである。

【0012】

上記の第1の側面において、好ましい実施例は、前記高周波回路層上であって、前記第2または第3の導電性ポストの下に設けられ、固定電位に接続された第1のシールド層を有することを特徴とする。

【0013】

上記の第1の側面において、好ましい実施例は、前記高周波回路層の上層部であって、前記第2または第3の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第2のシールド層を有することを特徴とする。

【0014】

上記の目的を達成するために、本発明の第2の側面は、前記多層配線層内であって、前記第2または第3の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第2のシールド層と、

前記高周波回路層上であって、前記再配線層間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性パッド及び第2のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイスである。

【0015】

上記の第2の側面における変形例として、第2または第3の導電性ポストの下に設けられる第1のシールド層と当該導電性ポストとの間の容量によりインピーダンス整合回路が構成される。或いは、第2または第3の導電性ポスト及びそれに接続される導電性パッドの下に設けられる第3のシールド層と当該導電性パッドとの間の容量によりインピーダンス整合回路が構成される。

【0016】

上記の目的を達成するために、本発明の第3の側面は、第1の高周波帯の信号を処理する第1の高周波デバイスと、前記第1の高周波帯より高い第2の高周波帯の信号を処理する第2の高周波デバイスとを有し、

前記第1の高周波デバイスの導電性ポストの高さより、第2の高周波デバイスの導電性ポストの高さが高いことを特徴とする高周波デバイスモジュールである。

【発明の効果】

【0017】

上記の第1の側面によれば、LSIの多層配線層よりも長い高さを持つ導電性ポストを有するチップサイズパッケージにおいて、高周波回路を形成したとき、電源用ポストの径を大きくして許容電流値を大きくし、高周波受信信号に対応する受信側ポストの径を小さくして長い導電性ポストと基板との間の寄生容量、寄生抵抗を小さくして高周波信号の損失を小さくし、高周波送信信号に対応する送信側の第3の導電性ポストの径は、高周波信号ではあるが、受信側の第2の導電性ポストの径より大きくして許容電流値を大きくする。チップサイズパッケージでは、高さの高い導電性ポストが、損失増大やインダクタのQ値の劣化による高周波特性の劣化を招くので、それを解決するために上記の構成とする。

【0018】

第1の側面の好ましい実施例によれば、高周波信号を伝送するが大電流確保のため太くした送信側の第3の導電性ポストには、高周波特性改善のために、第1のシールド層を形成して、送信側ポストの寄生容量を所定の値に固定し且つ半導体基板の寄生抵抗を抑制する構成にする。これにより、送信側導電性ポストの高周波特性の劣化を抑制する。

【0019】

第2の側面によれば、インピーダンス整合回路が、前記再配線層の間に形成された渦巻

き構造のインダクタ素子と、シールド層による寄生容量とにより構成可能になり、インピーダンス整合回路を効率的に形成することができる。

【0020】

第3の側面によれば、導電性ポストの損失を減らすためには導電性ポストの高さをできるだけ低くしたいが、より高い周波数帯では、高周波回路層の回路と実装基板との間の距離を長くして両者のカップリング作用を抑制する必要がある。そこで、より高い周波数帯の高周波デバイスの導電性ポストはより高くし、より低い周波数帯の高周波デバイスの導電性ポストはそれより低くする。低周波数帯では、上記カップリング作用が少ないので、導電性ポストをより低くして損失増大を抑制する。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態を図面にしたがって説明する。但し、本発明の技術的範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載された発明とその均等物に及ぶ物である。

【0022】

図1は、本実施の形態における高周波デバイスの断面図である。シリコン半導体基板10の表面には、トランジスタなどの回路素子が形成され、回路素子を接続する多層配線層12とともに高周波回路層を構成する。高周波回路は、後述するとおり、トランジスタなどの回路素子、入力、出力、電源、グランドなどからなる。多層配線層12の最上層導電層として導電性パッド14が形成され、多層配線層12内の図示しない配線と接続されている。また、多層配線層12上には、コーティング法により形成されたポリイミドからなる第1の絶縁層16が形成され、導電性パッド14に接続される再配線層22が形成されている。再配線層22と導電性パッド14とは第1の絶縁層16内のビア18により接続される。

【0023】

さらに、再配線層22の上には導電性ポスト24A～24Eが形成され、導電性ポスト24の上端にはバリアメタル層26を介してソルダバンプ28が形成されている。また、第1の絶縁層16と再配線層22との上であって、導電性ポスト24の間を埋めるように、ポリイミドなどの樹脂からなる封止絶縁層20が形成される。この封止絶縁層20は、多層配線層12よりも厚い絶縁層であり、これにより半導体チップ表面は完全に封止され、また、パッケージとしての強度を提供される。したがって、図1の構成は、半導体チップが封止されたパッケージ構造をなし、パッケージサイズは半導体チップと同じサイズになる。つまり、チップサイズパッケージ構造である。

【0024】

図2は、図1の一部Xを拡大した断面図である。シリコン半導体基板10の表面11に形成されたトランジスタなどの回路素子が、その上の多層配線層12の配線により接続されて、高周波回路層13を構成する。多層配線層12の表面に形成されたアルミニウムなどからなる導電性パッド14の上には、ポリイミドなどからなる第1の絶縁層16が形成されている。第1の絶縁層16の導電性パッド14に対応する位置にコンタクトホールが形成され、スパッタリング法などにより種メタル層22Bが形成され、その種メタル層22B上にメッキ工程により比較的厚い銅メッキ層22Aが形成される。種メタル層22Bと銅メッキ層22Aとにより再配線層22が構成される。

【0025】

さらに、図示しないレジスト層を形成し導電性ポスト形成位置に開口部を形成し、その開口部内に銅メッキ工程により所定の高さを有する導電性ポスト24Aが形成される。導電性ポスト24Aの位置において、再配線層22は、導電性ポストの径よりも大きな径の円形パッド形状をなす。そして、第1の絶縁層16上にポリイミドなどの封止絶縁層20がモールド工程により形成され、高周波回路層13が外部から封止される。さらに、導電性ポスト24Aの上端にはバリアメタル層26及びソルダバンプ28が形成される。

【0026】

外部からの封止を完全に行い且つある程度のパッケージ強度を確保するために、封止絶縁層 20 は、例えば $70\ \mu\text{m}$ と厚く形成される。したがって、封止絶縁層 20 は、多層配線層 13 や第 1 の絶縁層 16 によりも厚く形成される。そのため、封止絶縁層 20 内に埋め込まれて形成される導電性ポスト 24 A ~ 24 E の高さも、多層配線層 13 などに比較すると高くなる。このようなかなりの高さを有する導電性ポストは、高周波信号が伝送するとき、それ自体のインピーダンスと共に、導電性ポストとシリコン半導体基板 10 や周囲の導電性物質との間の寄生容量やそれら物質の寄生抵抗が、高周波特性に影響を与える。特に、寄生容量や寄生抵抗は、導電性ポスト 24 を伝送する高周波信号の損失を増大させる。したがって、高周波信号が伝送する導電性ポストの径は、できるだけ小さくして、それに接続される寄生容量や寄生抵抗を低減することが望まれる。

【0027】

さらに、導電性ポストは、多層配線層内の配線やビアホールに比較すると、大きな径を有するので、半導体基板内の高周波回路の高周波信号とのカップリングが比較的大きくなる。特に、シリコン半導体基板 10 は、低コスト化を追求すると、高抵抗の GaAs 基板と異なり、低抵抗（例えば $0.001\ \Omega \sim 10\ \Omega$ ）のシリコン基板を使用しなければならない。半導体基板 10 が低抵抗になることにより、基板内の高周波回路の信号が基板を介して、導電性ポストに影響を与える。そのため、高周波信号が伝送する導電性ポストに対しては、他の高周波回路とのカップリングを抑えるようなシールド構造を設けることが望まれる。

【0028】

一方で、導電性ポストが電源やグランド電源の供給端子に対応する場合は、それ自体のインピーダンスを小さくし許容電流を大きくすることが望まれる。また、高周波信号が伝送する場合であっても、導電性ポストがパワーアンプの出力端子などに対応する場合は、高周波特性の改善に加えて高い電流供給能力を有することが望まれる。このような要求に応えるために、導電性ポスト 24 の径は比較的大きくすることが望ましい。但し、信号の損失やカップリングの問題があるので、それらを抑えるような構造を別途設けることが必要になる。

【0029】

図 1 の断面図の例では、一部の導電性ポスト 24 E の径を小さくし、高周波信号を伝送するがそれほど高い電流供給能力を要しないポストとして利用し、その他の導電性ポスト 24 A ~ 24 D の径はそれよりも大きくして、高い電流供給能力を要するポストとして利用している。導電性ポスト 24 の高さが非常に高いため、上記のように高周波回路のどの入出力端子に接続されるかによって、その径の大きさを最適化することが必要になる。

【0030】

図 3 は、本実施の形態における高周波回路と導電性ポストとの関係を示す図である。無線通信回路 30 は、半導体基板表面の回路素子と多層配線層とにより構成され、高周波回路である高周波フロントエンドユニット 32 と、ベースバンドユニット 34 と、ベースバンドユニット 34 に接続され所定のデータ処理を行うデータ処理ユニット（図示せず）とを有する。そして、高周波フロントエンドユニット 32 は、例えば、受信側のプリアンプであるローノイズアンプ 36（LNA）と、直交復調器 38, 40, 50 で直交復調器と、ローパスフィルタ 42, 44 と、アンプ 46, 48 と、アナログ・デジタル変換器 A/D とからなる受信側高周波回路と、デジタル・アナログ変換器 D/A と、アンプ 60, 68 と、ローパスフィルタ 62, 64 と、直交変調器 58, 60, 52 で直交変調器と、出力アンプであるパワーアンプ 56（PA）とからなる送信側高周波回路とを有する。直交復調器 38, 40 及び直交変調器 58, 60 には、ローカル発振器 52 により生成される発振信号が直接または 90° 位相シフト回路 50, 52 を介して供給される。

【0031】

チップサイズパッケージ外に設けられたアンテナ 74 とバンドパスフィルタ 72 と入出力スイッチ 70 を介して、高周波受信信号が受信側ポスト 24 E 及び入力整合用インダクタ 77 を伝送し、ローノイズアンプ 36 に入力される。したがって、微少な電力の高周波

受信信号に損失を与えないように、受信側ポスト24Eの径は比較的小さく形成される。径を小さくすることにより、ポスト24Eに接続される封止樹脂層20などの寄生容量や、その寄生容量に接続される半導体基板内の寄生抵抗を小さくすることができ、それら寄生容量と寄生抵抗による高周波信号の損失を最小限にすることができる。さらに、受信側ポスト24Eと半導体基板との間、若しくは受信側ポスト24Eに接続される導電性パッドと半導体基板との間に、グランドなどの固定電位に接続された導電性シールド層76が設けられる。この導電性シールド層76により、寄生容量を予測可能な値に抑え、半導体基板による寄生抵抗の影響を抑えることができる。また、半導体基板の他の高周波回路とのカップリング作用も抑えることができる。

【0032】

一方、パワーアンプ56の出力である高周波送信信号は、出力整合用インダクタ79と送信側ポスト24Aを伝送し、入出力スイッチ70、バンドパスフィルタ72及び高周波アンテナ74を介して送出される。パワーアンプ56によりハイパワーの高周波送信信号を伝送するために、送信側ポスト24Aの径は、入力側ポスト24Eに比較すると大きく形成されている。径を大きくすることで送信側ポストの断面積を大きくしてそれ自体のインピーダンスを小さくし、大電流供給を可能とする。但し、送信側ポスト24Aの径を大きくすることで、寄生容量や寄生抵抗も大きくなり、損失が大きくなる。そこで、それを抑制するために、送信側ポスト24Aと半導体基板との間、若しくは送信側ポストに接続される導電性パッドと半導体基板との間に、グランドなどの固定電位に接続された導電性シールド層78が設けられる。このシールド層により、寄生容量を予測可能な値に抑え、半導体基板による寄生抵抗の影響を抑えることができる。また、他の高周波回路とのカップリングも抑えることができる。

【0033】

ローノイズアンプ36やパワーアンプ56は、電源V_{dd}やグランドGNDに接続される。それに伴って、それらのアンプは電源用ポスト24Fとグランド用ポスト24Gに接続される。これらの電源用、グランド用ポストは、大電流の供給を可能にし、ローノイズアンプやパワーアンプのグランド電位が浮き上がるのを防止するために、径が大きく形成されている。つまり、これらのポスト24F、24Gは、少なくとも、受信用ポスト24Eよりも大きな径を有し、必要に応じて送信用ポスト24Aよりも大きな径を有することもある。例えば、これらのポスト24F、24Gは、図1において、例えばポスト24Eより大きな径を有するポスト24B、24C、24Dなどにより実現される。

【0034】

図4は、本実施の形態における半導体デバイスの実装面側の平面図である。なお、この平面図にはソルダバンプが省略されている。実装面側には、封止樹脂層20が形成され、その封止樹脂層20内に複数の導電性ポストが埋め込まれている。そして、ローノイズアンプ(LNA)側とパワーアンプ(PA)側とにそれぞれ、前述の径の入力ポスト(受信側ポスト)24Eと出力ポスト(送信側ポスト)24Aとが形成される。さらに、電源用ポスト24Fとグランド用ポスト24Gが、それぞれ大きな径で形成される。また、入力ポスト24Eと出力ポスト24Aとに接続されるスパイラルインダクタ77、79が、図1、2に示した第1の絶縁層16上の再配線層22を利用して形成される。

【0035】

図4ではややわかりにくいだが、入力ポスト24Eや出力ポスト24Aは、周囲のポストとの短絡を防止するために、周囲のポストから所定距離離間して設けられ、その結果、入力ポストや出力ポストは低密度に配置される。それに対して、グランド用ポスト4Gなどは、高周波特性の改善(グランドの強化)、熱抵抗の低減および許容電流を大きくするために複数も設けられ、互いに短絡することが許されるので高密度に配置される。電源用ポストもグランド用ポストと同じである。入力ポストや出力ポストも複数設けられる場合は高密度に配置されてもよい。

【0036】

図5は、本実施の形態における受信側ポストと送信側ポストの構造例を示す図である。

図中、上側が断面図、下側が上面図になっており、右側が送信側ポスト、左側が受信側ポストをそれぞれ示す。前述のとおり、導電性ポスト 24 は、受信側ポストの径が送信側ポストよりも小さく形成されている。また、両ポスト 24 と半導体基板との間には、グランドなどの固定電位に接続された導電性シールド層 76, 78 が形成されている。具体的には、これら導電性シールド層 76, 78 は、多層配線層 12 上の導電性パッド 14 と同じアルミニウム層により形成され、その形状は導電性ポスト 24 の径やポスト用パッド 22 の径よりも大きな長さの矩形または大きな径の円形であることが望ましい。この導電性シールド層 76, 78 は、多層配線層 12 内に埋め込まれて形成されてもよい。

【0037】

この導電性シールド層 76, 78 を形成することにより、高周波信号が伝送する導電性ポスト 24 との間に固定的な寄生容量を形成することができ、導電性ポスト 24 に接続される寄生容量の値を予測可能な値にすることができる。さらに、導電性シールド層 76, 78 が導電性ポスト 24 と半導体基板（図示せず）との間に形成されているので、導電性ポストに半導体基板内の寄生抵抗は接続されなくなる。このように、導電性ポストと半導体基板との間に導電性シールド層を設けることは、信号損失を抑制することができ、高周波信号が伝送する受信側ポストにも送信側ポストにも有利である。特に、高電流供給を確保するためにポスト径を大きくしている送信側ポストには、信号損失の抑制になり有効である。

【0038】

但し、導電性シールド層の存在により、半導体基板の寄生抵抗を抑制することができるものの、逆に固定的な寄生容量が導電性ポストに付随することになる。したがって、比較的低周波数帯では、寄生容量より寄生抵抗のほうが信号損失には大きな影響を与えるので、寄生抵抗の低減が損失改善に寄与するが、逆に、高い周波数帯では、寄生抵抗よりも寄生容量のほうが信号損失に大きな影響を与えるので、導電性シールド層を設けないほうがよい場合もある。

【0039】

導電性シールド層は、導電性パッド 14 と半導体基板との間の多層配線層 12 内に形成しても有効である。それにより、寄生容量を予測可能な値にすることができ、基板の寄生抵抗を抑えることができるからである。この点については、後に詳述する。

【0040】

図 6 は、本実施の形態における電源用ポストとグランド用ポストの構造例を示す図である。これらのポスト 24 は、径を大きくして許容電流を大きくし、それ自体のインピーダンスを抑えている。これらのポストには、高周波信号が伝送することはないので、シールド層は形成されない。

【0041】

図 7 は、受信側ポストまたは送信側ポストの構造例を示す図である。図中、(A) は上面図、(B) は断面図、(C) (D) はそれぞれ斜視図である。この例は、上面図 (A) 及び断面図 (B) に示されるように、導電性ポスト 24 と導電性パッド（ビアパッド）14 とが所定距離離間している場合の構成例である。導電性パッド 14 は、ビア 18 の径よりも大きな径を有する円形状を有し、多層配線層 12 の最上層メタル層により形成される。

【0042】

両者が所定距離離間している場合は、導電性ポスト 24 の下の導電性パッド 14 と同じ層に第 1 の導電性シールド層 80 が形成され、さらに、導電性パッド（ビアパッド）14 の下の多層配線層 12 内にも第 2 の導電性シールド層 82 が形成される。第 1 の導電性シールド層 80 は、多層配線層 12 の最上層メタル層により形成される。両シールド層 80, 82 を形成することにより、半導体基板 10 との間の寄生容量を予測可能な固定値に近づけることができ、半導体基板による寄生抵抗を抑えることができ、他の高周波回路とのカップリングを抑制することができる。寄生容量を固定化することで、後述するとおり、インピーダンス整合回路の容量素子として利用することができる。また、寄生抵抗を抑え

ることで、高周波信号損失を抑えることができる。

【0043】

図8は、受信側ポストまたは送信側ポストの別の構造例を示す図である。図中、(A)は上面図、(B)は断面図、(C)は斜視図である。この例は、上面図(A)及び断面図(B)に示されるように、導電性ポスト24と導電性パッド(ビアパッド)14とが平面的に重なっているまたは近接している場合の構成例である。導電性ポスト24と導電性パッド(ビアパッド)14とが重なるまたは近接している場合は、導電性ポスト24の下に多層配線層16上の最上層メタル層によるシールド層を形成することができない。そこで、このような構成の場合は、多層配線層12内にシールド層82を形成する。このシールド層は、上面図(A)や斜視図(C)に示されるように、導電性ポスト24と、そのポストパッド22と、導電性パッド(ビアパッド)14とを全て半導体基板10からシールドする形状になっている。つまり、上面からみて、導電性ポスト24と、そのポストパッド22と、導電性パッド(ビアパッド)14とを全て含むような楕円形状になっている。この例は、一例として楕円形状になっているが、シールドが可能であれば、形状は問わない。このシールド層82は、グランドなどの固定電位に接続されていて、導電性ポストや導電性パッドとの間に所定の寄生容量を形成し、さらに、半導体基板10による寄生抵抗は抑制される。

【0044】

本実施の形態における高周波デバイスは、図7または図8のいずれかの構成を有しても良いし、両方の構成を有していても良い。いずれの構成であっても、高周波信号が伝送する導電性ポストに接続される信号伝送経路の寄生容量や寄生抵抗による特性劣化(損失増大)を抑制することができる。

【0045】

図9は、受信側ローノイズアンプと送信側パワーアンプの回路例を示す図である。ローノイズアンプ38は、図3に示したように、アンテナ74、バンドパスフィルタ72、スイッチ70、受信側ポスト24E、及びインピーダンス整合回路36Mを介して、高周波受信信号を入力する。インピーダンス整合回路36Mは、例えば、インダクタ77に導電性シールド層との寄生容量やそれ以外に形成した容量C3、C4により構成される。

【0046】

ローノイズアンプ38は、例えば、NチャネルMOSトランジスタQ30、Q31を縦にカスコード接続して構成される。それぞれのトランジスタQ30、Q31には、バイアス電圧Vbias1,2が印加される。トランジスタQ30のソース側はグランドGNDに接続され、トランジスタQ31のドレイン側は、インダクタLを介して電源Vddに接続され、カップリングキャパシタCoutを介して出力信号Foutを生成する。この出力信号Foutは、図3によれば、直交復調器に供給される。

【0047】

トランジスタQ30は、ゲートに印加される高周波受信信号に応じて増幅された高周波信号をドレイン端子に生成し、トランジスタQ31は、その増幅された高周波信号に応じてさらに増幅した高周波信号をドレイン端子に生成する。このように、カスコード接続された2つのトランジスタによりより大きな増幅率を提供する。

【0048】

送信側のパワーアンプ56も、ローノイズアンプと基本的には同じ回路構成である。図3の直交変調器から供給される高周波信号FinをトランジスタQ30、Q31により増幅し、カップリングキャパシタCoutを介して電力増幅された高周波信号を出力する。この信号は、インピーダンス整合回路56Mを介して、アンテナ側に出力される。インピーダンス整合回路56Mは、ローノイズアンプと同じように、信号伝送経路に形成されたインダクタ79と、容量C1、C2により構成される。

【0049】

図10は、導電性ポストの径と損失との関係を示すグラフ図である。横軸がポストの径(μm)、縦軸が損失であり、導電性ポストの高さが約70 μm 、周波数5GHzの高周波

信号に対する損失が示される。このグラフ図から明らかとなっており、ポスト径が $100\mu\text{m}$ に比較してポスト径が $200\mu\text{m}$ のほうが信号の損失が大きくなる。このように、周波数帯が高くなると、導電性ポストの径を大きくすることは大きな信号損失を招くことになる。したがって、特に受信側ポストでは、信号損失の増大はノイズフィギュアNFの劣化につながるので、できるだけ径を小さくすることが望まれる。

【0050】

図11は、複数の導電性ポストの径に対する周波数と損失との関係を示すグラフ図である。横軸は周波数、縦軸は損失を示し、5種類の導電性ポストの径（丸：径 $200\mu\text{m}$ 、正方形： $175\mu\text{m}$ 、三角形： $150\mu\text{m}$ 、X： $125\mu\text{m}$ 、ひし形： $100\mu\text{m}$ ）に対して周波数と損失との関係が示される。サンプルの導電性ポストの高さは μm である。このグラフ図から理解されるように、周波数が高くなるにしたがい、ポスト径が大きいほど損失がより大きくなっている。したがって、信号の周波数帯がより高くなるにともない、高周波信号が伝送する導電性ポストの径をより小さくすることが望まれる。

【0051】

図12は、複数の導電性ポストの径において、導電性シールド層を設ける場合と設けない場合とに対する周波数と損失との関係を示すグラフ図である。横軸は周波数、縦軸は損失を示し、5種類の導電性ポストの径（丸：径 $200\mu\text{m}$ でシールド層なし、ひし形： $100\mu\text{m}$ でシールド層なし、三角形： $200\mu\text{m}$ でシールド層有り、X： $100\mu\text{m}$ でシールド層有り）に対して周波数と損失との関係が示される。サンプルの導電性ポストの高さは、前述と同じ $70\mu\text{m}$ である。

【0052】

このグラフ図から理解されるように、同じポスト径であっても、比較的低い周波数帯ではグラウンドシールド層を形成したほうが損失は少なくなる。但し、ポスト径 $200\mu\text{m}$ の例に示されるように、比較的高い周波数帯では、グラウンドシールド層を設けないほうが損失は逆に大きくなる。この理由は、グラウンドシールド層を形成することにより、固定的な寄生容量が形成される一方で半導体基板の寄生抵抗は抑えられる。したがって、低い周波数帯よりも高い周波数帯で寄生容量による損失がより支配的になり、損失に逆転が生じる。このことから、比較的低い周波数帯で動作する高周波デバイスでは、高周波信号が伝送する導電性ポストにグラウンドシールド層を積極的に設け、比較的高い周波数帯で動作する高周波デバイスでは、グラウンドシールド層を設けないことが望ましい。

【0053】

図13は、複数の導電性ポストの径に対する周波数とインダクタのQ値との関係を示すグラフ図である。サンプルは、導電性ポストに再配線層により形成したインダクタを接続したものであり、2種類のポスト径それぞれにシールド層の有無を加えた4種類の導電性ポスト構造（丸：径 $200\mu\text{m}$ でシールド層なし、三角形：径 $200\mu\text{m}$ でシールド層有り、ひし形：径 $100\mu\text{m}$ でシールド層なし、X：径 $100\mu\text{m}$ でシールド層有り）である。無印はインダクタ単独のQ値である。導電性ポストが接続されるとQ値の値は低下（劣化）していくが、導電性ポストの径が大きいほど低下が大きい。また、同じポスト径の場合は、比較的低い周波数帯ではシールド層を設けたほうがQ値の低下は小さいが、比較的高い周波数帯ではシールド層を設けないほうがQ値の低下は少ない。つまり、図12の逆転現象と同じ減少が見られる。

【0054】

上記の実験結果から次のことが理解される。（1）高周波信号が伝送し高電流供給の必要がない導電性ポストに対しては、ポスト径を小さくしたほうが損失を抑えることができる。（2）比較的低い周波数帯で動作する高周波デバイスでは、受信側ポストや送信側ポストには導電性シールド層を形成して、信号の損失を抑え、比較的高い周波数帯で動作する高周波デバイスでは、導電性シールド層を形成せずに、信号の損失を抑えることが望ましい。（3）さらに、インダクタが接続される導電性ポストについては、比較的低い周波数帯で動作する高周波デバイスでは、導電性シールド層を形成して、Q値の劣化を抑え、比較的高い周波数帯で動作する高周波デバイスでは、導電性シールド層を形成せずに、Q

値の劣化を抑えることが望ましい。

【0055】

図14は、第2の実施の形態における高周波デバイスモジュールの構成図である。この高周波デバイスモジュール100は、高い周波数帯の信号を処理する高周波デバイス102と、それより低い周波数帯の信号を処理する高周波デバイス104とが、共通のモジュール基板上に実装されている。それぞれの高周波デバイス104は、図1～9などで示したチップサイズパッケージの高周波デバイスである。このようなモジュール100は、例えば、低い周波数帯と高い周波数帯の両方を処理可能な無線LANカードや、複数の周波数帯に対して動作可能なマルチモードの無線装置などである。

【0056】

図15は、2種類の高周波デバイスの断面図である。(A)が高周波数帯のデバイス102、(B)が低周波数帯のデバイス104の断面図である。ここに示されるように、それぞれのデバイス102、104には、封止樹脂層20内に導電性ポスト24が形成されているが、半導体基板10の高周波回路と実装基板の高周波回路とのカップリングを抑えるために、特に高周波数帯のデバイスでは、導電性ポスト24の高さH1をより高くし、低周波数帯のデバイスでは、導電性ポスト24の高さH2をより低くしている。導電性ポストの高さは低いほうが信号損失の劣化を抑えることができるので、できるだけ低いことが望まれるが、より高い周波数帯域では、カップリングが強く作用するので、より高い導電性ポストを形成することが望ましい。

【0057】

さらに、高周波数帯のデバイス102においては、高周波信号を伝送する導電ポストであってもその下にグラウンドシールド層を設けない。一方、低周波数帯のデバイス104においては、高周波信号を伝送する導電ポストの下にグラウンドシールド層76、78を設けている。

【0058】

以上の実施の形態をまとめると、以下の付記の通りである。

【0059】

(付記1) 半導体基板と、

前記半導体基板表面に形成され、回路素子と多層配線層とにより構成される高周波回路層と、

前記高周波回路層上に形成され、前記高周波回路の入力、出力、電源にそれぞれ接続された複数の導電性パッドと、

前記高周波回路層上に第1の絶縁層を介して形成され、前記複数の導電性パッドにそれぞれ接続される複数の再配線層と、

前記第1の絶縁層上及び前記再配線層上に形成され、前記多層配線層よりも厚い封止用絶縁層と、

前記封止用絶縁層上に設けられ、前記複数の導電性パッドに対応する複数の実装用接続端子と、

前記封止用絶縁層内に設けられ、前記再配線層と実装用接続端子との間に設けられる複数の導電性ポストとを有し、

前記高周波回路層の高周波回路は、前記入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、

さらに、

前記電源に対応する第1の導電性ポストは第1の径を有し、

前記入力アンプの入力に対応する第2の導電性ポストは前記第1の径より小さい第2の径を有し、

前記パワー出力アンプの出力に対応する第3の導電性ポストは前記第2の径より大きい第3の径を有することを特徴とする高周波デバイス。

【0060】

(付記 2) 付記 1 において、

前記高周波回路層上であって、前記第 2 または第 3 の導電性ポストの下に設けられ、固定電位に接続された第 1 のシールド層を有することを特徴とする高周波デバイス。

【0061】

(付記 3) 付記 2 において、

さらに、前記多層配線層内であって、前記第 2 または第 3 の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第 2 のシールド層を有することを特徴とする高周波デバイス。

【0062】

(付記 4) 付記 1 において、

前記第 2 または第 3 の導電性ポストとそれに対応する導電性パッドとが近接または重複して形成され、

前記多層配線層内であって、前記第 2 または第 3 の導電性ポスト及びそれに接続される導電性パッドの下に設けられ、固定電位に接続された第 3 のシールド層を有することを特徴とする高周波デバイス。

【0063】

(付記 5) 付記 1 において、

前記第 2 または第 3 の導電性ポストとそれに対応する導電性パッドとが所定距離離間している第 1 のポスト構造と、前記第 2 または第 3 の導電性ポストとそれに対応する導電性パッドとが近接または重複している第 2 のポスト構造とを有し、

前記第 1 のポスト構造においては、前記高周波回路層上であって、前記第 2 または第 3 の導電性ポストの下に設けられ、固定電位に接続された第 1 のシールド層と、前記多層配線層内であって、前記第 2 または第 3 の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第 2 のシールド層とを有し、

前記第 2 のポスト構造においては、前記多層配線層内であって、前記第 2 または第 3 の導電性ポスト及びそれに接続される導電性パッドの下に設けられ、固定電位に接続された第 3 のシールド層を有することを特徴とする高周波デバイス。

【0064】

(付記 6) 付記 1 において、

同じ電源に対応する前記第 1 の導電性ポストは複数個高密度に配置され、前記第 2 または第 3 の導電性ポストは、前記第 1 の導電性ポストよりも低密度に配置されることを特徴とする高周波デバイス。

【0065】

(付記 7) 付記 1 に記載した高周波デバイスであって、第 1 の高周波帯の信号を処理する第 1 の高周波デバイスと、前記第 1 の高周波帯より高い第 2 の高周波帯の信号を処理する第 2 の高周波デバイスとを有し、

前記第 1 の高周波デバイスの導電性パッドの高さより、第 2 の高周波デバイスの導電性パッドの高さが高いことを特徴とする高周波デバイスモジュール。

【0066】

(付記 8) 付記 1 に記載された高周波デバイスであって、さらに、

前記多層配線層内であって、前記第 2 または第 3 の導電性ポストに接続される導電性パッドの下に設けられ、固定電位に接続された第 2 のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性パッド及び第 2 のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【0067】

(付記 9) 付記 1 に記載された高周波デバイスであって、さらに、

前記高周波回路層上であって、前記第 2 または第 3 の導電性ポストの下に設けられ、固

定電位に接続された第1のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性ポストと第1のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【0068】

(付記10) 付記1に記載された高周波デバイスであって、さらに、

前記多層配線層内であって、前記第2または第3の導電性ポスト及びそれに接続される導電性パッドの下に設けられ、固定電位に接続された第3のシールド層と、

前記高周波回路層上であって、前記再配線層の間に形成され、渦巻き構造を有するインダクタとを有し、

前記インダクタと、前記導電性パッドと第3のシールド層との間の容量とによって、前記入力アンプまたはパワー出力アンプのインピーダンス整合回路が構成されることを特徴とする高周波デバイス。

【0069】

(付記11) 半導体基板と、

前記半導体基板表面に形成され、回路素子と多層配線層とにより構成される高周波回路層と、

前記高周波回路層上に形成され、前記高周波回路の入力、出力、電源にそれぞれ接続された複数の導電性パッドと、

前記高周波回路層上に第1の絶縁層を介して形成され、前記複数の導電性パッドにそれぞれ接続される複数の再配線層と、

前記第1の絶縁層及び再配線層上に形成され、前記多層配線層よりも厚い封止用絶縁層と、

前記封止用絶縁層上に設けられ、前記複数の導電性パッドに対応する複数の実装用接続端子と、

前記封止用絶縁層内に設けられ、前記再配線層と実装用接続端子との間に設けられる複数の導電性ポストとを有する第1及び第2の高周波デバイスを有し、

前記第1の高周波デバイスは、第1の高周波帯の信号を処理する第1の高周波回路を有し、前記第2の高周波デバイスは、前記第1の高周波帯より高い第2の高周波帯の信号を処理する第2の高周波回路を有し、

前記第1の高周波デバイスの導電性ポストの高さより、第2の高周波デバイスの導電性ポストの高さが高いことを特徴とする高周波デバイスモジュール。

【0070】

(付記12) 付記11において

前記第1及び第2の高周波回路は、前記入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、変調された高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、

前記電源に対応する第1の導電性ポストは第1の径を有し、

前記入力アンプの入力に対応する第2の導電性ポストは前記第1の径より小さい第2の径を有し、

前記パワー出力アンプの出力に対応する第3の導電性ポストは前記第2の径より大きい第3の径を有することを特徴とする高周波デバイスモジュール。

【図面の簡単な説明】

【0071】

【図1】 本実施の形態における高周波デバイスの断面図である。

【図2】 図1の一部Xを拡大した断面図である。

【図3】 本実施の形態における高周波回路と導電性ポストとの関係を示す図である。

【図4】 本実施の形態における半導体デバイスの実装面側の平面図である。

【図 5】 本実施の形態における受信側ポストと送信側ポストの構造例を示す図である。

【図 6】 本実施の形態における電源用ポストとグランド用ポストの構造例を示す図である。

【図 7】 受信側ポストまたは送信側ポストの構造例を示す図である。

【図 8】 受信側ポストまたは送信側ポストの別の構造例を示す図である。

【図 9】 受信側ローノイズアンプと送信側パワーアンプの回路例を示す図である。

【図 10】 導電性ポストの径と損失との関係を示すグラフ図である。

【図 11】 複数の導電性ポストの径に対する周波数と損失との関係を示すグラフ図である。

【図 12】 複数の導電性ポストの径において、導電性シールド層を設ける場合と設けない場合とに対する周波数と損失との関係を示すグラフ図である。

【図 13】 複数の導電性ポストの径に対する周波数とインダクタの Q 値との関係を示すグラフ図である。

【図 14】 第 2 の実施の形態における高周波デバイスモジュールの構成図である。

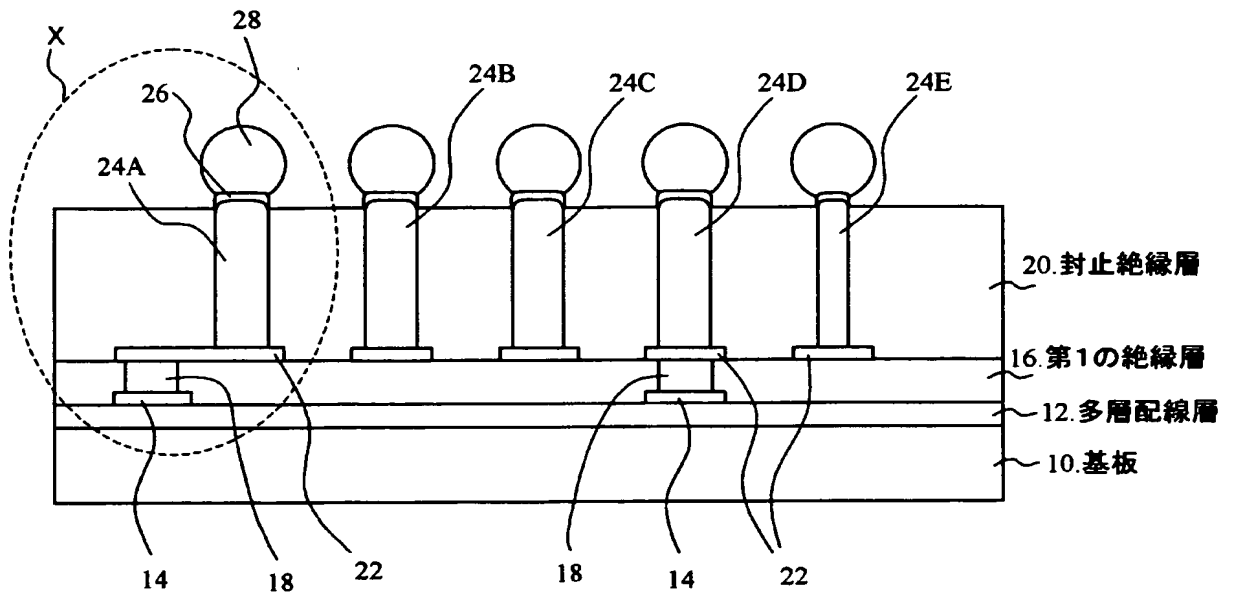
【図 15】 2 種類の高周波デバイスの断面図である。

【符号の説明】

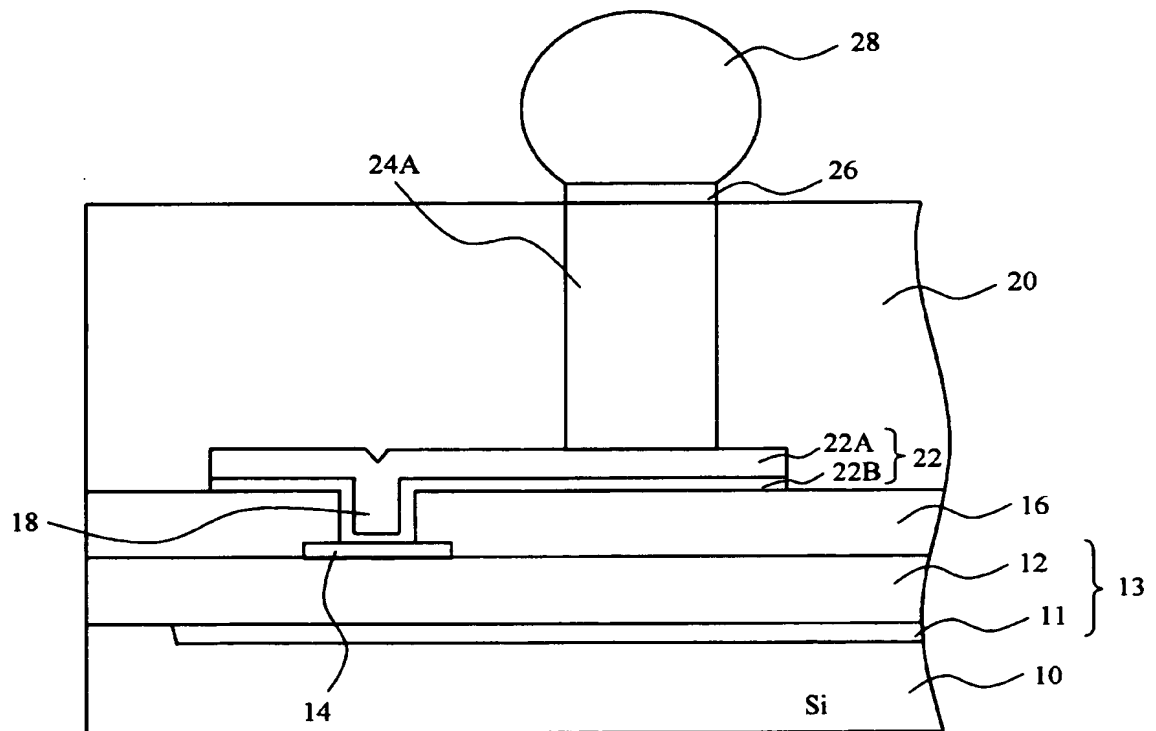
【0072】

10：半導体基板、12：多層配線層、13：高周波回路層、14：導電性パッド、
16：第 1 の絶縁層、20：封止絶縁層、22：再配線層、24：導電性ポスト、
26：バリアメタル、28：ソルダーバンプ、36：受信側アンプ、56：送信側アンプ
76：導電性シールド層、78：導電性シールド層

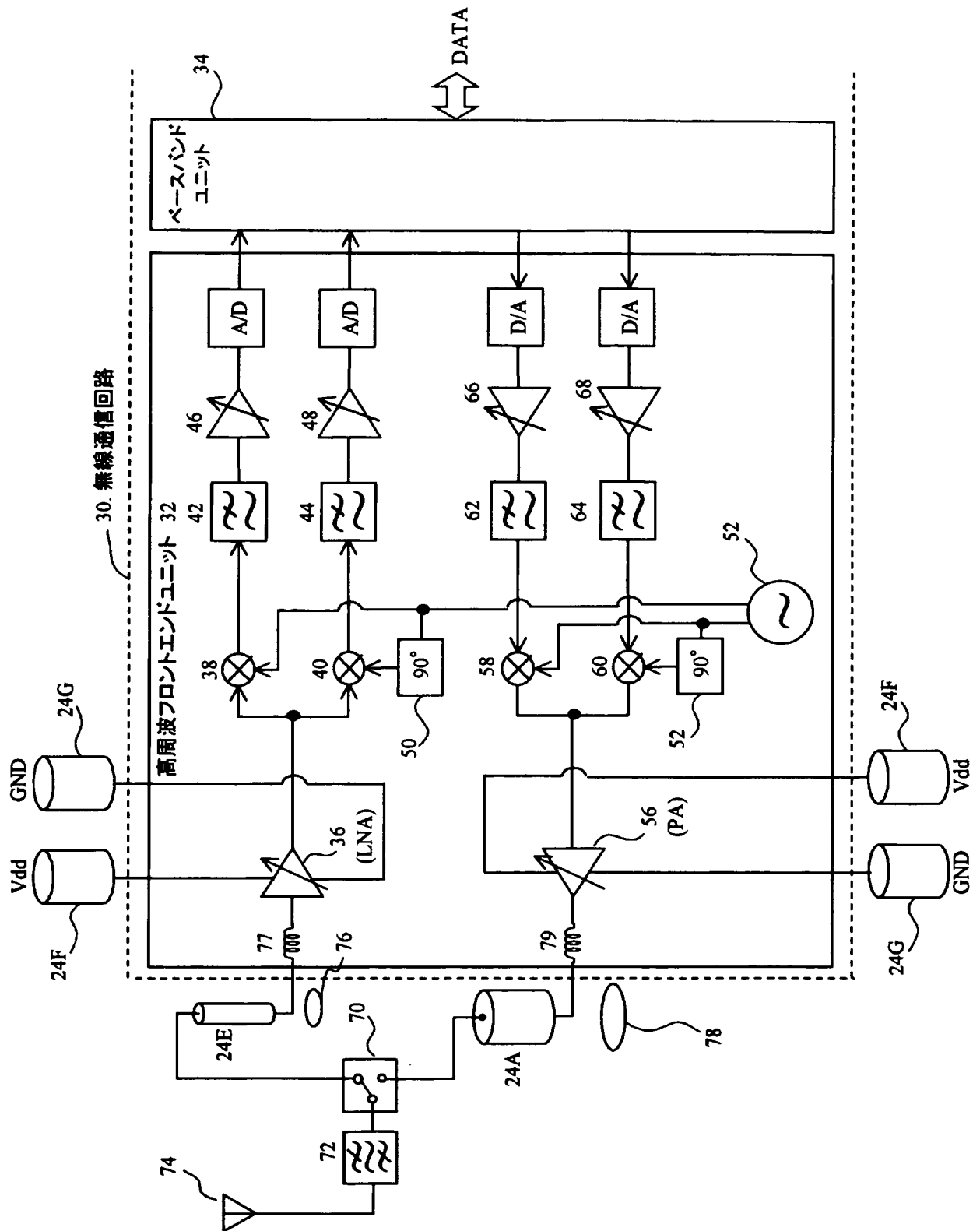
【書類名】 図面
【図 1】



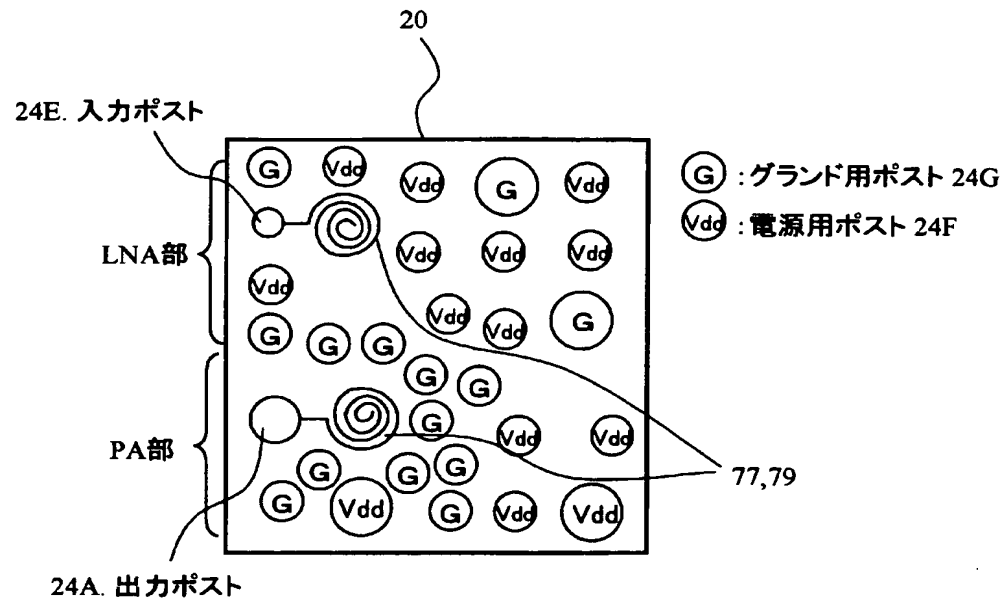
【図 2】



【図 3】

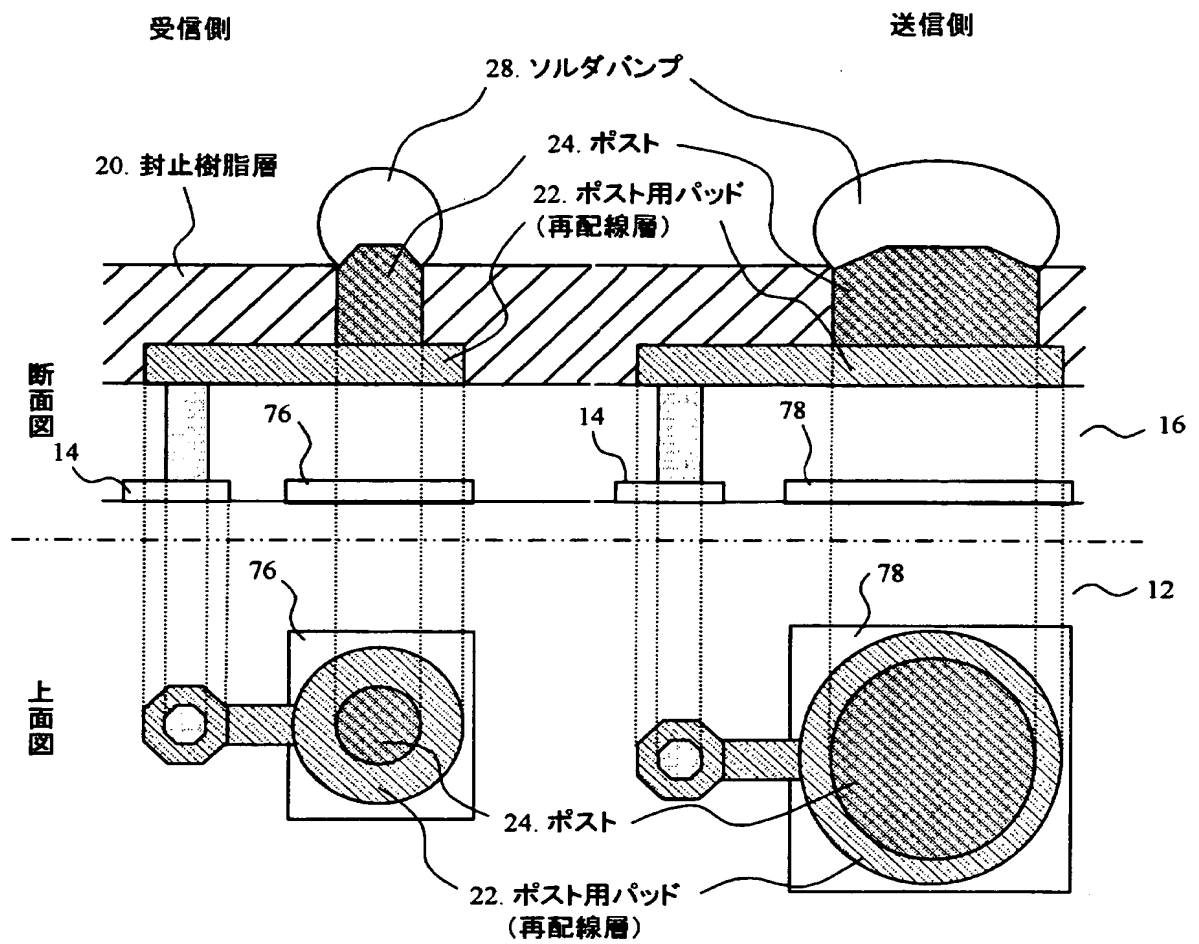


【図 4】



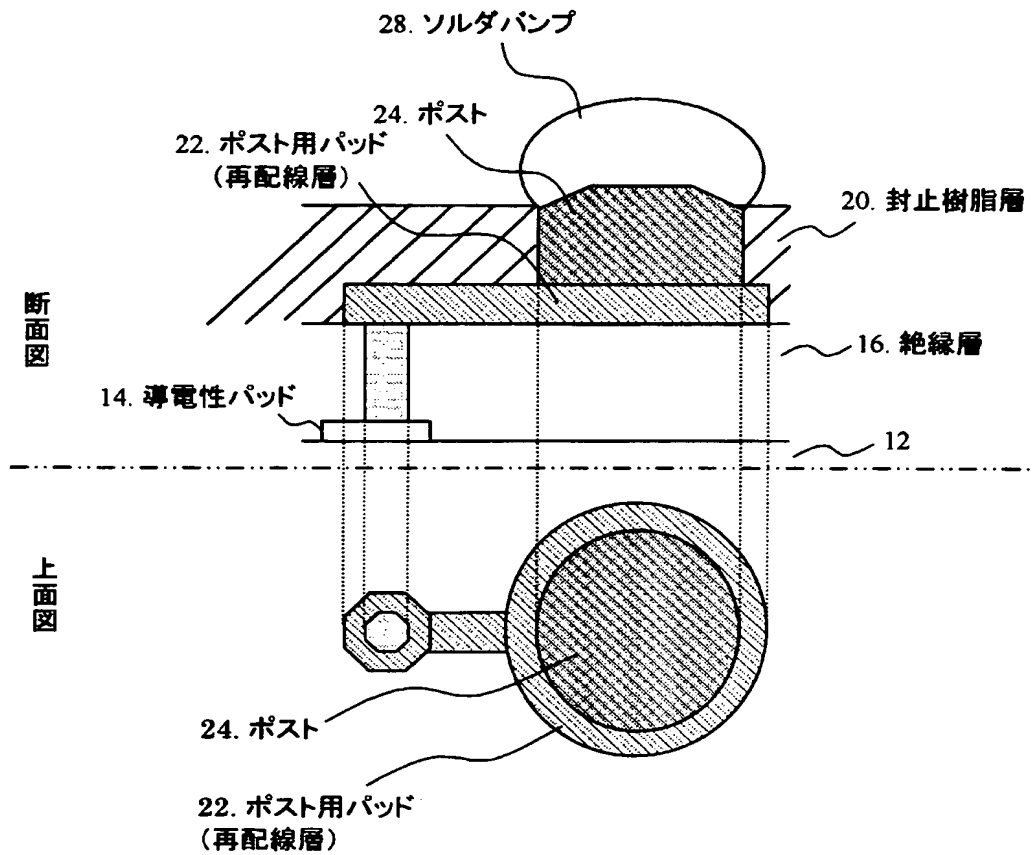
【図 5】

受信側ポストと送信側ポスト



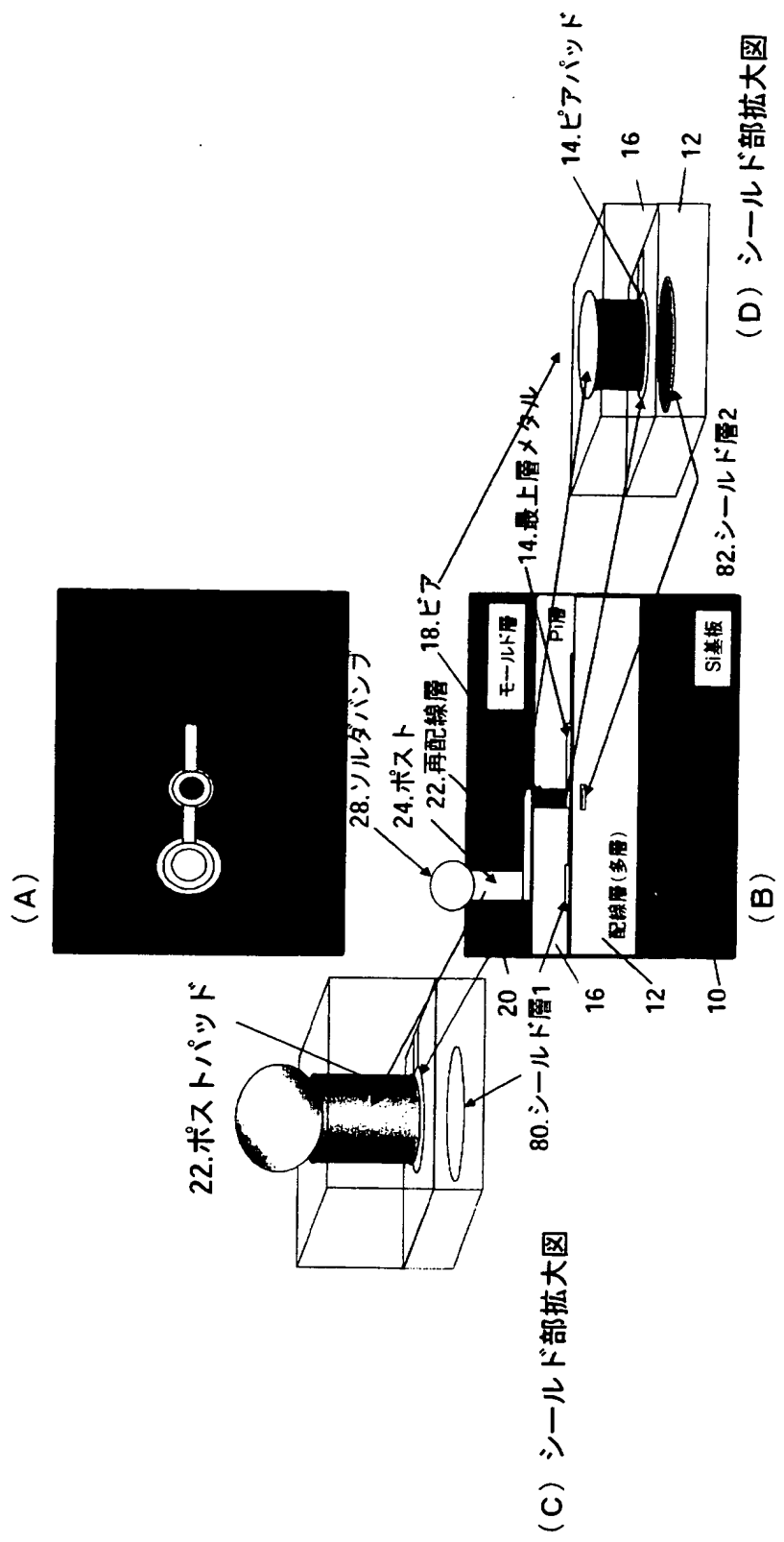
【図 6】

電源とグランド用ポスト



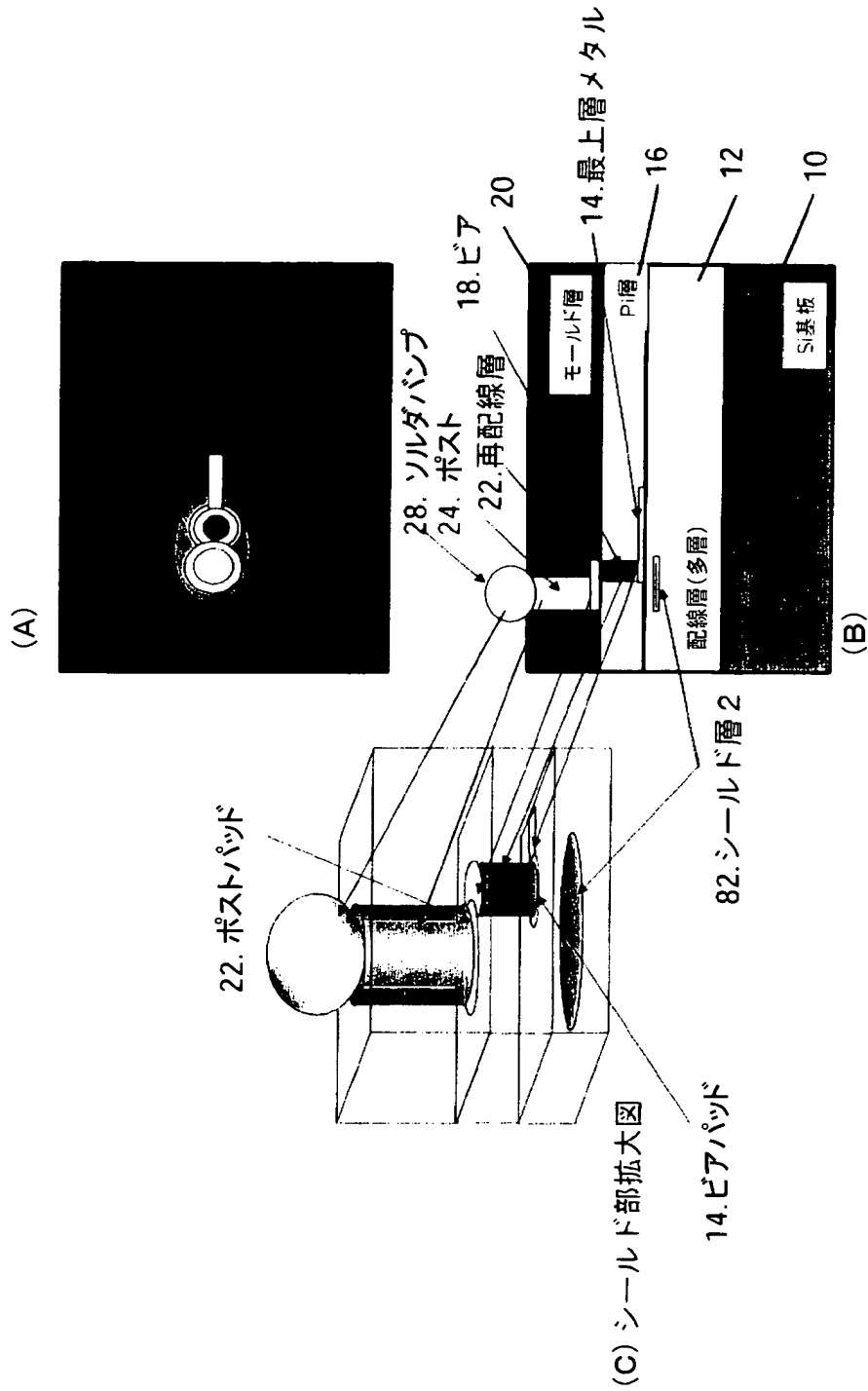
【図 7】

導電性ポストと導電性パッドとが離間している場合

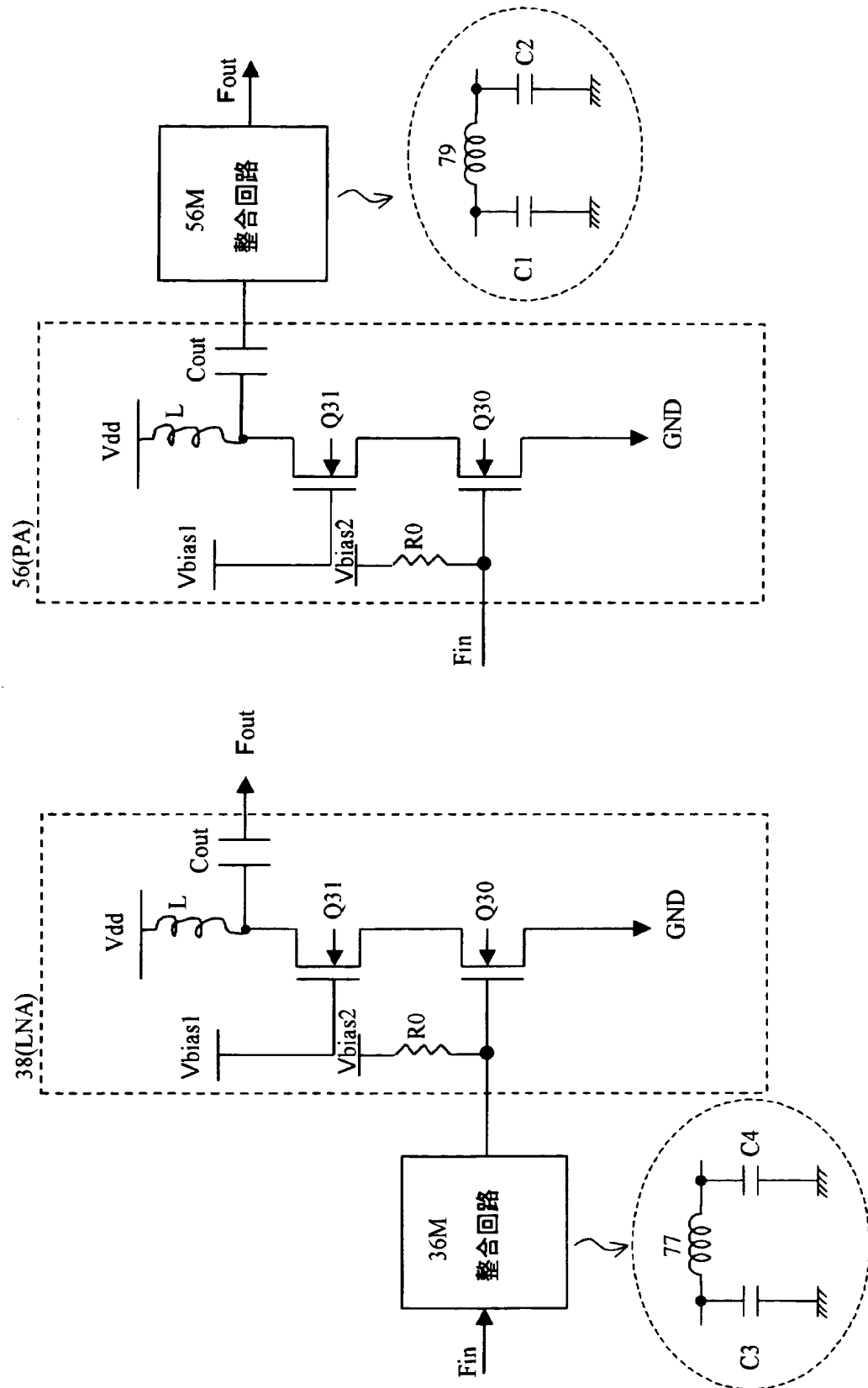


【図 8】

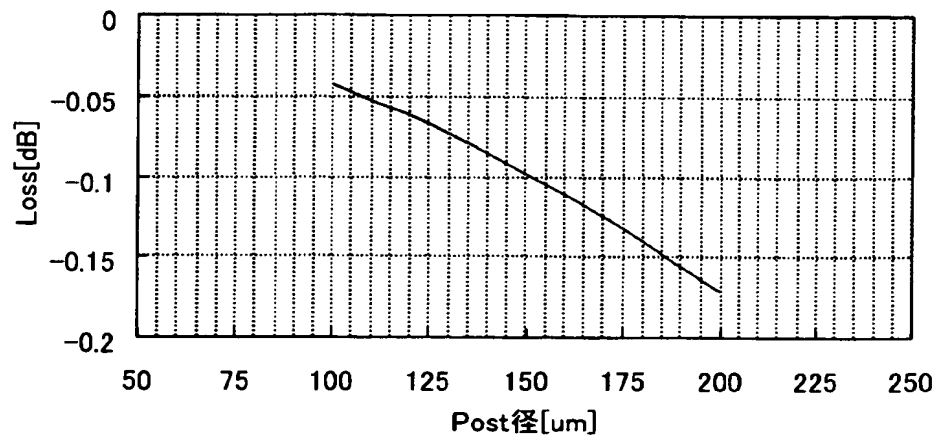
導電性ポストと導電性パッドとが近接又は重なっている場合



【図 9】

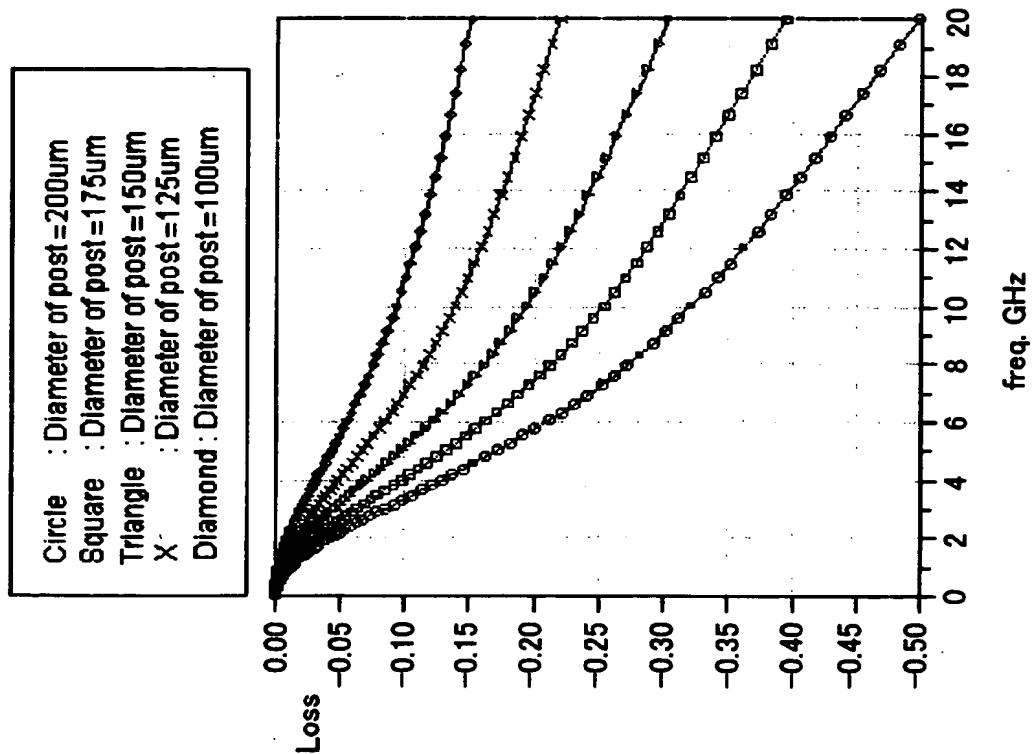


【図 10】

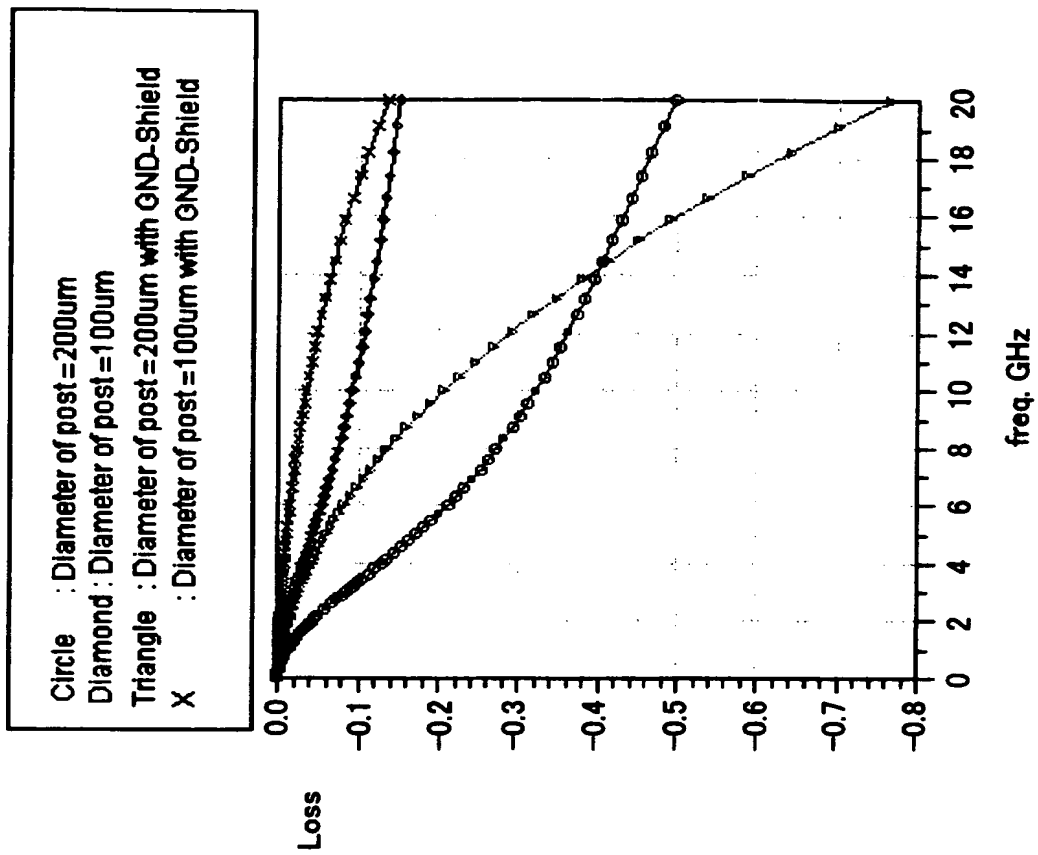


ポスト径と損失(Loss)の関係(5GHz)

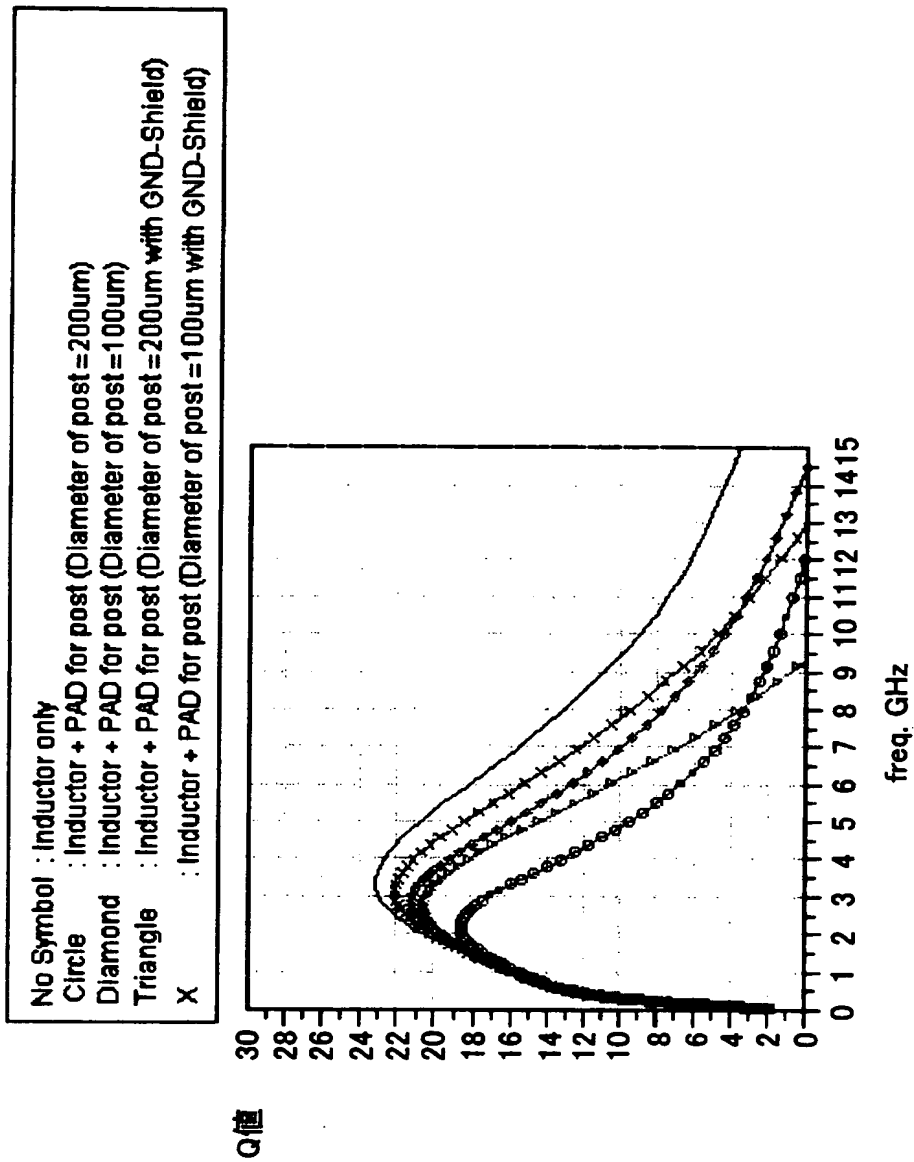
【図 11】



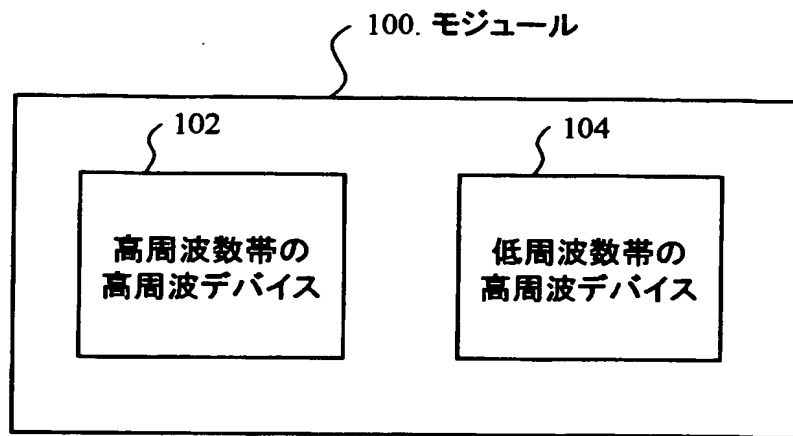
【図 12】



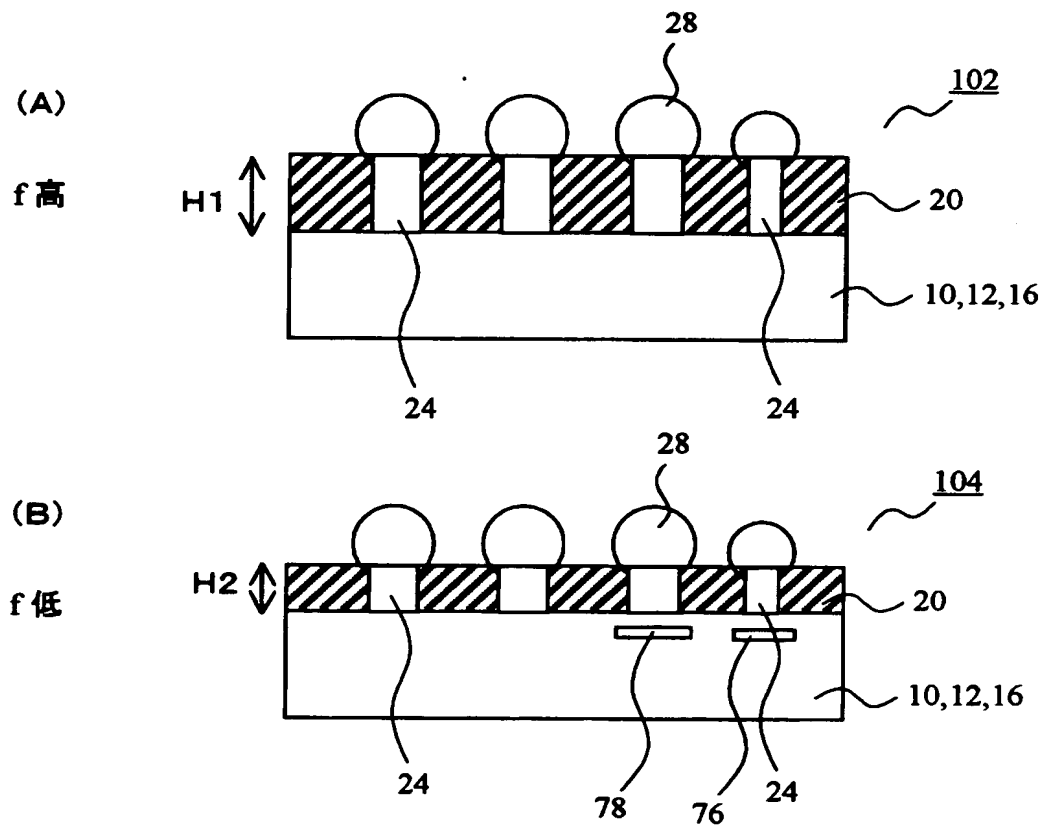
【図 13】



【図 14】



【図 15】



【書類名】 要約書**【要約】**

【課題】 チップサイズパッケージにおいて高周波特性を改善する。

【解決手段】 高周波デバイスは、半導体基板 10 と、回路素子と多層配線層 12 とにより構成される高周波回路層と、複数の導電性パッド 14 と、複数の導電性パッド 14 にそれぞれ接続される複数の再配線層 22 と、記第 1 の絶縁層 16 上及び再配線層 22 上に形成され、多層配線層 16 よりも厚い封止用絶縁層 20 と、封止用絶縁層内に設けられ、再配線層 22 と実装用接続端子 28 との間に設けられる複数の導電性ポスト 24 とを有する。そして、高周波回路層の高周波回路は、入力に対応する導電性ポストから入力される高周波受信信号を増幅する入力アンプと、高周波送信信号を増幅し前記出力に対応する導電性ポストから出力するパワー出力アンプとを有し、電源に対応する第 1 の導電性ポストは第 1 の径を有し、入力アンプの入力に対応する第 2 の導電性ポストは第 1 の径より小さい第 2 の径を有し、パワー出力アンプの出力に対応する第 3 の導電性ポストは第 2 の径より大きい第 3 の径を有する。導電性ポストの機能に対応してその径が最適化される。

【選択図】 図 1

特願 2 0 0 3 - 4 2 6 2 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社